

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270769

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/304
H01L 21/3205
H01L 21/768

(21)Application number : 2001-065253

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.03.2001

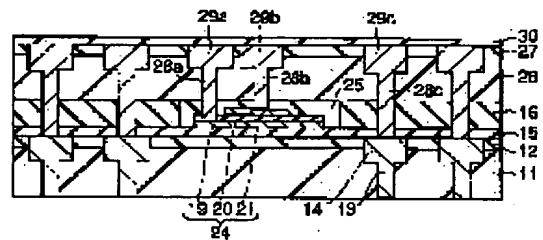
(72)Inventor : YOSHITOMI TAKASHI
NAKAJIMA YUICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which an insulating film formed on a capacitor is planarized and to provide a method of manufacturing the device.

SOLUTION: This semiconductor device is provided with a Cu diffusion preventing film 15 formed on the entire plane, the insulation film 16 formed on the film 15 and having an opening 18, the capacitor 24 selectively formed on the Cu diffusion preventing film 15 in the opening 18. This device is also provided with a first interlayer film 25, formed in the opening 18 and a second interlayer film 25 formed on the film 25. The insulating film 16 and second interlayer film 25 have low dielectric constants, and the first interlayer film 25 has a high dielectric constant.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-270769
(P2002-270769A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) IntCl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 27/04		H 0 1 L 21/304	6 2 1 D 5 F 0 3 3
21/822		27/04	C 5 F 0 3 8
21/304	6 2 1	21/88	S
21/3205		21/90	A
21/768			

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願2001-65253 (P2001-65253)

(22) 出願日 平成13年3月8日 (2001.3.8)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 吉富 崇

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 中島 雄一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

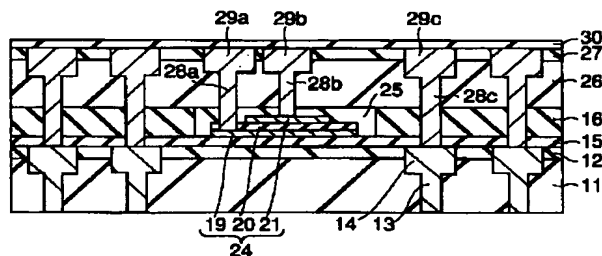
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャパシタ上の絶縁膜を平坦にする半導体装置及びその製造方法を提供する。

【解決手段】 平面の全面に形成されたCu拡散防止膜15と、このCu拡散防止膜15上に形成された開口部18を有する絶縁膜16と、この開口部18内のCu拡散防止膜15上に選択的に形成されたキャパシタ24と、開口部18内に形成された第1の層間膜25と、この第1の層間膜25上に形成された第2の層間膜25とを具備する。ここで、絶縁膜16及び第2の層間膜25は低誘電率膜であり、第1の層間膜25は高誘電率膜である。



1

【特許請求の範囲】

【請求項 1】 開口部を有する第 1 の絶縁膜と、前記開口部内に選択的に形成されたキャパシタと、少なくとも前記開口部内に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された第 3 の絶縁膜とを具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 の絶縁膜及び前記キャパシタは拡散防止膜上に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記キャパシタ上に拡散防止膜が形成されており、この拡散防止膜上に前記第 2 の絶縁膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記第 3 の絶縁膜は低誘電率膜からなり、前記第 2 の絶縁膜は前記第 3 の絶縁膜よりも比誘電率の高い膜からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記キャパシタの膜厚は、前記第 1 の絶縁膜の膜厚よりも薄いことを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記第 2 の絶縁膜は、前記開口部内のみ形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記第 1 の絶縁膜は、前記キャパシタを囲んでいることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を選択的に除去して、開口部を形成する工程と、前記開口部内にキャパシタを選択的に形成する工程と、少なくとも前記開口部内に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 1 の絶縁膜は拡散防止膜上に形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記キャパシタ上に拡散防止膜を形成した後、この拡散防止膜上に前記第 2 の絶縁膜を形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 13】 前記第 3 の絶縁膜は低誘電率膜からなり、前記第 2 の絶縁膜は前記第 3 の絶縁膜よりも比誘電

2

率の高い膜からなることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 14】 前記キャパシタの膜厚は、前記第 1 の絶縁膜の膜厚よりも薄いことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 15】 前記第 2 の絶縁膜は、前記開口部内のみ形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIM (Metal Insulating Metal) キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、ダマシン構造の Cu 配線と MIM (Metal Insulating Metal) キャパシタとを形成した半導体装置が提供されている。

【0003】図 38 は、従来技術による半導体装置の断面図を示す。図 38 に示すように、低誘電率膜 41 及び高誘電率膜 42 内に例えば Cu からなる Via ホール 43 及び配線 44 が形成されている。この基板全面に Cu 拡散防止膜 45 が形成され、この Cu 拡散防止膜 45 上にキャパシタ 49 が選択的に形成されている。このキャパシタ 49 は下部電極 46 と誘電体膜 47 と上部電極 48 とからなる。そして、このキャパシタ 49 上に絶縁膜 50 が形成され、この絶縁膜の表面が CMP (Chemical Mechanical Polish) で平坦化されている。

【0004】このような従来の半導体装置では、配線間の寄生容量を低減するために、絶縁膜 50 に低誘電率膜を用いることが望まれる。

【0005】しかしながら、低誘電率膜は粗膜であるため、低誘電率膜に CMP を行うとクラックが生じるおそれがある。従って、絶縁膜 50 に低誘電率膜を用い、この絶縁膜 50 の表面を CMP で平坦にすることは非常に困難であった。そこで、絶縁膜 50 に CMP を行ってもクラックの生じ難い高誘電率膜が用いることも考えられる。

【0006】ところが、キャパシタ 49 は Cu 拡散防止膜 45 上に選択的に形成されているため、キャパシタ 49 が形成されている領域と形成されていない領域とでは、キャパシタ 49 の厚さ分の段差が生じている。従って、このキャパシタ 49 の段差を無くすためには、Cu 拡散防止膜 45 上のキャパシタ 49 の形成されていない領域を絶縁膜 50 で埋め込む必要がある。つまり、上述するように、キャパシタ 49 の周囲は高誘電率膜で埋め込まれることになる。このため、高誘電率膜の絶縁膜 50 でキャパシタ 49 の段差を無くそうとすると、配線間の寄生容量が増加してしまうという問題が生じてしまう。

【0007】

30

40

50

3

【発明が解決しようとする課題】以上のように、従来の半導体装置では、CMPを用いてキャパシタ49上の絶縁膜50の表面を平坦にすることが非常に困難であった。

【0008】本発明は上記課題を解決するためになされたものであり、その目的とするところは、キャパシタ上の絶縁膜を平坦にすることが可能な半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0010】本発明の半導体装置は、開口部を有する第1の絶縁膜と、前記開口部内に選択的に形成されたキャパシタと、少なくとも前記開口部内に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第3の絶縁膜とを具備している。

【0011】前記第1の絶縁膜及び前記キャパシタは拡散防止膜上に形成されてもよい。

【0012】前記キャパシタ上に拡散防止膜が形成されており、この拡散防止膜上に前記第2の絶縁膜が形成されてもよい。

【0013】前記第1の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることが望ましい。前記第3の絶縁膜は低誘電率膜からなり、前記第2の絶縁膜は前記第3の絶縁膜よりも比誘電率の高い膜からなることが望ましい。

【0014】本発明の半導体装置の製造方法は、第1の絶縁膜を形成する工程と、前記第1の絶縁膜を選択的に除去して、開口部を形成する工程と、前記開口部内にキャパシタを選択的に形成する工程と、少なくとも前記開口部内に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第3の絶縁膜を形成する工程とを含んでいる。

【0015】前記第1の絶縁膜は拡散防止膜上に形成してもよい。

【0016】前記キャパシタ上に拡散防止膜を形成した後、この拡散防止膜上に前記第2の絶縁膜を形成してもよい。

【0017】前記第1の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることが望ましい。前記第3の絶縁膜は低誘電率膜からなり、前記第2の絶縁膜は前記第3の絶縁膜よりも比誘電率の高い膜からなることが望ましい。

【0018】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0019】また、本発明の実施の形態において、低誘電率膜とは、比誘電率が約4.0以下の膜を意味し、高誘電率膜とは、この低誘電率膜よりも比誘電率が高い膜を意味する。

4

【0020】【第1の実施形態】第1の実施形態は、低誘電率膜からなる絶縁膜内に開口部を形成し、この開口部内にMIM (Metal Insulating Metal) キャパシタを形成することを特徴とする。

【0021】図1乃至図9は、本発明の第1の実施形態に係る半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る半導体装置の製造方法について説明する。

【0022】まず、図1に示すように、低誘電率膜11上に、この低誘電率膜11より誘電率の高い高誘電率膜12が形成される。その後、ダマシン工程により、低誘電率膜11及び高誘電率膜12内に、例えばCuからなるViaホール13及び第1の配線14が形成される。次に、スパッタリングにより、平面の全面に例えばSiN膜からなるCu拡散防止膜15が形成され、このCu拡散防止膜15上に低誘電率膜である絶縁膜16が形成される。ここで、絶縁膜16の膜厚は例えば270nmである。

【0023】次に、図2に示すように、絶縁膜16上にレジスト膜17が塗布され、このレジスト膜17がリソグラフィでパターニングされる。このパターニングされたレジスト膜17をマスクとして、RIE (Reactive Ion Etching) により絶縁膜16がパターニングされ、開口部18が形成される。その後、レジスト膜17が除去される。

【0024】次に、図3に示すように、スパッタリングにより、開口部18内及び絶縁膜16上に例えばTiN膜からなる下部電極膜19が形成され、この下部電極膜19上に例えばTa₂O₅膜からなる誘電体膜20が形成され、この誘電体膜20上に例えばTiN膜からなる上部電極膜21が形成される。ここで、下部電極膜19の膜厚は例えば60nm、誘電体膜20の膜厚は例えば50nm、上部電極膜21の膜厚は例えば50nmである。

【0025】次に、図4に示すように、上部電極膜21上にレジスト膜22が塗布され、このレジスト膜22がリソグラフィでパターニングされる。その後、このパターニングされたレジスト膜22をマスクとして、RIEにより上部電極膜21がパターニングされる。ここで、上部電極膜21は、開口部18内に残存するようにパターニングされる。その後、レジスト膜22が除去される。

【0026】次に、図5に示すように、上部電極膜21及び誘電体膜20上にレジスト膜23が塗布され、このレジスト膜23がリソグラフィでパターニングされる。その後、このパターニングされたレジスト膜23をマスクとして、RIEにより誘電体膜20及び下部電極膜19がパターニングされる。ここで、誘電体膜20及び下部電極膜19は、例えば、上部電極膜21より表面積が広くかつ開口部18内に残存するように、パターニング

5

される。その結果、開口部18内に、下部電極膜19と誘電体膜20と上部電極膜21とからなるMIMキャパシタ24が形成される。その後、レジスト膜23が除去される。

【0027】次に、図6に示すように、PECVD (Plasma Enhanced Chemical Vapor Deposition) により、開口部18内及び絶縁膜16上に第1の層間膜25が形成される。ここで、第1の層間膜25は、例えばSiO₂膜のような高誘電率膜からなるが、低温で形成されたCMPが可能な絶縁膜であればこれに限定されない。

【0028】次に、図7に示すように、CMP (Chemical Mechanical Polish) により、絶縁膜16の表面が露出するまで第1の層間膜25が平坦化される。ここで、キャパシタ24の表面が露出しないように、キャパシタ24上に500Å乃至1000Å程度のマージン量Xを確保しておくことが望ましい。つまり、下部電極膜19、誘電体膜20、上部電極膜21からなるキャパシタ24の膜厚が、絶縁膜16の膜厚よりも薄くなるようにすればよい。

【0029】次に、図8に示すように、第1の層間膜25及び絶縁膜16上に第2の層間膜26が形成され、この第2の層間膜26上に第3の層間膜27が形成される。ここで、第2の層間膜26は例えばFSG (fluorine Spin Glass) 膜のような低誘電率膜からなり、第3の層間膜27は例えばSiO₂膜のような高誘電率膜からなる。

【0030】次に、図9に示すように、第1、第2、第3の層間膜25、26、27等が除去され、Viaホール及び配線用の溝が形成される。次に、Viaホール及び配線用の溝内にバリアメタル層（図示せず）が堆積され、このバリアメタル層上にCu膜がめっきにより堆積される。次に、CMPによりバリアメタル層及びCu膜が平坦化され、Viaホール28a、28b、28c及び第2の配線29a、29b、29cが形成される。ここで、Viaホール28a及び第2の配線29aはキャパシタ24の下部電極膜19に接続し、Viaホール28b及び第2の配線29bはキャパシタ24の上部電極膜21に接続し、Viaホール28c及び第2の配線29cは第1の配線14に接続する。その後、第3の層間膜27及び第2の配線29a、29b、29c上にCu拡散防止膜30が形成される。

【0031】図10は、本発明の第1の実施形態に係わる半導体装置の平面図を示す。図10に示すように、絶縁膜16内に開口部18が形成され、この開口部18内にキャパシタ24が形成されている。これにより、キャパシタ24は絶縁膜16で囲まれ、第1の層間膜25は開口部18内の隙間に形成される。なお、図7は、図10に示すVII-VII線に沿った半導体装置の断面図である。

【0032】上記第1の実施形態によれば、キャパシタ

6

24上に形成する第1の層間膜25には、CMPを用いてもクラックが生じ難い膜（例えば高誘電率膜）を用いている。このため、CMPを用いて、キャパシタ24上の第1の層間膜25の表面を平坦化することが可能である。

【0033】また、絶縁膜16内に開口部18が形成され、この開口部18内にキャパシタ24が形成される。このため、キャパシタ24は絶縁膜16で囲まれた状態となる。従って、高誘電率膜である第1の層間膜25は開口部18内のみ形成されるため、配線間の寄生容量を低減できる。

【0034】また、Viaホール28a、28b、28c及び第2の配線29a、29b、29cの周囲の大部分には、低誘電率膜である第2の層間膜26が設けられている。従って、配線間の寄生容量をさらに低減できる。

【0035】また、キャパシタ24の周囲に絶縁膜16を設けているため、キャパシタ24によって生じる段差を小さくすることができる。すなわち、キャパシタ24上に第1の層間膜25が形成された際、第1の層間膜25にキャパシタ24の形状が反映され難い。従って、従来よりも容易にキャパシタ24上の第1の層間膜25の表面を平坦化することができる。

【0036】また、絶縁膜16は低誘電率膜で形成されているため、配線間の容量をさらに低減できる。

【0037】また、キャパシタ24の下にCu拡散防止膜15が形成されている。このため、第2の配線29a、29b、29c及びViaホール28a、28b、28cからキャパシタ24の下に形成された素子（図示せず）へのCu汚染を防止できる。

【0038】また、CMPで第1の層間膜25を平坦化する際、マージン量Xを確保することで、キャパシタ24の表面のダメージを防止でき、キャパシタ24の性能を向上できる。

【0039】なお、第1の層間膜25は、塗布によって形成される有機系絶縁膜でもよい。この場合、塗布時に絶縁膜の表面をほぼ平坦にできるため、図7に示すCMPの平坦化工程を省略することが可能である。従って、第1の層間膜25に、CMPの制限から用いることができなかつた低誘電率膜を用いることができる。このように、第1の層間膜25に塗布型の膜を用いれば、工程数を減少できるだけでなく、さらに配線間の容量を低減できる。

【0040】また、図7の工程において、CMPによって第1の層間膜25の表面が平坦になれば、この第1の層間膜25を絶縁膜16の表面が露出するまで平坦化しなくてもよい。しかし、高誘電率膜である第1の層間膜25の残存量はできる限り少なくした方が配線間の容量を低減できるため、第1の層間膜25は絶縁膜16の表面が露出するまで平坦化の方が望ましい。

7

【0041】また、上記第1の実施形態では、以下に示すように、キャパシタ24を保護するために、キャパシタ24上にCu拡散防止膜を形成してもよい。まず、図5に示すように、キャパシタ24が形成される。次に、図11に示すように、キャパシタ24及び絶縁膜15上にCu拡散防止膜31が形成され、このCu拡散防止膜31上に第1の層間膜25が形成される。次に、図12に示すように、CMPにより、絶縁膜16の表面が露出するまで第1の層間膜25が平坦化される。その後は、

上記第1の実施形態と同様の工程を経て、図13に示す構造が形成される。この構造によれば、キャパシタ24上にCu拡散防止膜31が形成されているため、第2の配線29a、29b、29c及びViaホール28a、28b、28cからキャパシタ24の誘電体膜20へのCu汚染を防止することができる。

【0042】〔第2の実施形態〕第2の実施形態は、開口部を有する絶縁膜が、Cu拡散防止膜で形成されていることを特徴とする。

【0043】図14乃至図22は、本発明の第2の実施形態に係る半導体装置の製造工程の断面図を示す。以下に、第2の実施形態に係る半導体装置の製造方法について説明する。この第2の実施形態に係る半導体装置の製造方法では、上記第1の実施形態に係る半導体装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0044】まず、図14に示すように、第1の実施形態と同様に、低誘電率膜11及び高誘電率膜12内に、例えばCuからなるViaホール13及び第1の配線14が形成される。次に、スパッタリングにより、平面の全面に例えばSiN膜からなるCu拡散防止膜15が形成される。ここで、Cu拡散防止膜15の膜厚は例えば270nmである。

【0045】次に、図15に示すように、Cu拡散防止膜15上にレジスト膜17が塗布され、このレジスト膜17がリソグラフィでパターンニングされる。このパターンニングされたレジスト膜17をマスクとして、RIEによりCu拡散防止膜15がパターンニングされ、開口部18が形成される。その後、レジスト膜17が除去される。

【0046】次に、図16に示すように、スパッタリングにより、開口部18内及びCu拡散防止膜15上に例えばTiN膜からなる下部電極膜19が形成され、この下部電極膜19上に例えばTa₂O₅膜からなる誘電体膜20が形成され、この誘電体膜20上に例えばTiN膜からなる上部電極膜21が形成される。ここで、下部電極膜19の膜厚は例えば60nm、誘電体膜20の膜厚は例えば50nm、上部電極膜21の膜厚は例えば50nmである。

【0047】次に、図17に示すように、上部電極膜21上にレジスト膜22が塗布され、このレジスト膜22

8

がリソグラフィでパターンニングされる。その後、このパターンニングされたレジスト膜22をマスクとして、RIEにより上部電極膜21がパターンニングされる。ここで、上部電極膜21は、開口部18内に残存するようにパターンニングされる。その後、レジスト膜22が除去される。

【0048】次に、図18に示すように、上部電極膜21及び誘電体膜20上にレジスト膜23が塗布され、このレジスト膜23がリソグラフィでパターンニングされる。その後、このパターンニングされたレジスト膜23をマスクとして、RIEにより誘電体膜20及び下部電極膜19がパターンニングされる。ここで、誘電体膜20及び下部電極膜19は、上部電極膜21より表面積が広くかつ開口部18内に残存するように、パターンニングされる。その結果、開口部18に、下部電極膜19と誘電体膜20と上部電極膜21とからなるMIMキャパシタ24が形成される。その後、レジスト膜23が除去される。

【0049】次に、図19に示すように、PECVDにより、開口部18内及びCu拡散防止膜15上に第1の層間膜25が形成される。ここで、第1の層間膜25は、例えばSiO₂膜のような高誘電率膜からなるが、低温で形成されたCMPが可能な絶縁膜であればこれに限定されない。

【0050】次に、図20に示すように、CMPにより、Cu拡散防止膜15の表面が露出するまで第1の層間膜25が平坦化される。ここで、キャパシタ24の表面が露出しないように、キャパシタ24上に500Å乃至1000Å程度のマージン量Xを確保しておくことが望ましい。つまり、下部電極膜19、誘電体膜20、上部電極膜21からなるキャパシタ24の膜厚が、Cu拡散防止膜15の膜厚よりも薄くなるようにすればよい。

【0051】次に、図21に示すように、第1の層間膜25及びCu拡散防止膜15上に第2の層間膜26が形成され、この第2の層間膜26上に第3の層間膜27が形成される。ここで、第2の層間膜26は例えばFSG膜のような低誘電率膜からなり、第3の層間膜27は例えばSiO₂膜のような高誘電率膜からなる。

【0052】次に、図22に示すように、第1の実施形態と同様に、Viaホール28a、28b、28c及び第2の配線29a、29b、29cが形成された後、Cu拡散防止膜30が形成される。

【0053】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0054】さらに、第2の実施形態では、Cu拡散防止膜15に開口部18が形成されている。つまり、開口部18を形成するための膜を新たに設けずに、Cu拡散防止膜15を利用している。このため、第1の実施形態よりも製造工程数を減少できる。

【0055】なお、上記第2の実施形態では、以下に示

9

すように、キャパシタ24を保護するために、キャパシタ24上にCu拡散防止膜を形成してもよい。まず、図18に示すように、キャパシタ24が形成される。次に、図23に示すように、キャパシタ24及びCu拡散防止膜15上にCu拡散防止膜31が形成され、このCu拡散防止膜31上に第1の層間膜25が形成される。次に、図24に示すように、CMPにより、Cu拡散防止膜15の表面が露出するまで第1の層間膜25が平坦化される。その後は、上記第2の実施形態と同様の工程を経て、図25に示す構造が形成される。この構造によれば、キャパシタ24上にCu拡散防止膜31が形成されているため、第2の配線29a、29b、29c及びViaホール28a、28b、28cからキャパシタ24の誘電体膜20へのCu汚染を防止することができる。

【0056】[第3の実施形態] 第3の実施形態は、開口部を有する絶縁膜が、Cu拡散防止膜と低誘電率膜との積層膜で形成されていることを特徴とする。

【0057】図26乃至図34は、本発明の第3の実施形態に係る半導体装置の製造工程の断面図を示す。以下に、第3の実施形態に係る半導体装置の製造方法について説明する。この第3の実施形態に係る半導体装置の製造方法では、上記第1の実施形態に係る半導体装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0058】まず、図26に示すように、第1の実施形態と同様に、低誘電率膜11及び高誘電率膜12内に、例えばCuからなるViaホール13及び第1の配線14が形成される。次に、スパッタリングにより、平面の全面に例えばSiN膜からなるCu拡散防止膜15が形成され、このCu拡散防止膜15上に低誘電率膜である絶縁膜16が形成される。ここで、Cu拡散防止膜15と絶縁膜16との合計膜厚は例えば270nmである。

【0059】次に、図27に示すように、絶縁膜16上にレジスト膜17が塗布され、このレジスト膜17がリソグラフィでパターンニングされる。このパターンニングされたレジスト膜17をマスクとして、RIEによりCu拡散防止膜15及び絶縁膜16がパターンニングされ、開口部18が形成される。その後、レジスト膜17が除去される。

【0060】次に、図28に示すように、スパッタリングにより、開口部18内及び絶縁膜16上に例えばTiN膜からなる下部電極膜19が形成され、この下部電極膜19上に例えばTa₂O₅膜からなる誘電体膜20が形成され、この誘電体膜20上に例えばTiN膜からなる上部電極膜21が形成される。ここで、下部電極膜19の膜厚は例えば60nm、誘電体膜20の膜厚は例えば50nm、上部電極膜21の膜厚は例えば50nmである。

【0061】次に、図29に示すように、上部電極膜2

10

1上にレジスト膜22が塗布され、このレジスト膜22がリソグラフィでパターンニングされる。その後、このパターンニングされたレジスト膜22をマスクとして、RIEにより上部電極膜21がパターンニングされる。ここで、上部電極膜21は、開口部18内に残存するようにパターンニングされる。その後、レジスト膜22が除去される。

【0062】次に、図30に示すように、上部電極膜21及び誘電体膜20上にレジスト膜23が塗布され、このレジスト膜23がリソグラフィでパターンニングされる。その後、このパターンニングされたレジスト膜23をマスクとして、RIEにより誘電体膜20及び下部電極膜19がパターンニングされる。ここで、誘電体膜20及び下部電極膜19は、上部電極膜21より表面積が広くかつ開口部18内に残存するように、パターンニングされる。その結果、開口部18内に、下部電極膜19と誘電体膜20と上部電極膜21とからなるMIMキャパシタ24が形成される。その後、レジスト膜23が除去される。

【0063】次に、図31に示すように、PECVDにより、開口部18内及び絶縁膜16上に第1の層間膜25が形成される。ここで、第1の層間膜25は、例えばSiO₂膜のような高誘電率膜からなるが、低温で形成されたCMPが可能な絶縁膜であればこれに限定されない。

【0064】次に、図32に示すように、CMPにより、絶縁膜16の表面が露出するまで第1の層間膜25が平坦化される。ここで、キャパシタ24の表面が露出しないように、キャパシタ24上に500Å乃至1000Å程度のマージン量Xを確保しておくことが望ましい。つまり、下部電極膜19、誘電体膜20、上部電極膜21からなるキャパシタ24の膜厚が、絶縁膜16とCu拡散防止膜15との合計膜厚よりも薄くなるようにすればよい。

【0065】次に、図33に示すように、第1の層間膜25及び絶縁膜16上に第2の層間膜26が形成され、この第2の層間膜26上に第3の層間膜27が形成される。ここで、第2の層間膜26は例えばFSG膜のような低誘電率膜からなり、第3の層間膜27は例えばSiO₂膜のような高誘電率膜からなる。

【0066】次に、図34に示すように、第1の実施形態と同様に、Viaホール28a、28b、28c及び第2の配線29a、29b、29cが形成された後、Cu拡散防止膜30が形成される。

【0067】上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0068】さらに、高誘電率膜のCu拡散防止膜15とこのCu拡散防止膜上に形成された低誘電率膜の絶縁膜16との積層膜が除去され、開口部18が形成されている。このため、キャパシタ24の周囲には高誘電率膜

11

だけでなく低誘電率膜が存在する。従って、第2の実施形態よりも配線間の容量を低減できる。

【0069】なお、上記第3の実施形態では、以下に示すように、キャパシタ24を保護するために、キャパシタ24上にCu拡散防止膜を形成してもよい。まず、図30に示すように、キャパシタ24が形成される。次に、図35に示すように、キャパシタ24及び絶縁膜16上にCu拡散防止膜31が形成され、このCu拡散防止膜31上に第1の層間膜25が形成される。次に、図36に示すように、CMPにより、絶縁膜16の表面が露出するまで第1の層間膜25が平坦化される。その後は、上記第3の実施形態と同様の工程を経て、図37に示す構造が形成される。この構造によれば、キャパシタ24上にCu拡散防止膜31が形成されているため、第2の配線29a、29b、29c及びViaホール28a、28b、28cからキャパシタ24の誘電体膜20へのCu汚染を防止することができる。

【0070】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0071】

【発明の効果】以上説明したように本発明によれば、キャパシタ上の絶縁膜を平坦にすることが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図2】図1に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図3】図2に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図5】図4に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図7】図6に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図8】図7に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図9】図8に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図10】本発明の第1の実施形態に係わる半導体装置を示す平面図。

【図11】図5に続く、本発明の第1の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図12】図11に続く、本発明の第1の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図13】図12に続く、本発明の第1の実施形態に係わる他の半導体装置の製造工程を示す断面図。

12

【図14】本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図15】図14に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図16】図15に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図17】図16に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図18】図17に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図19】図18に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図20】図19に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図21】図20に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図22】図21に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図23】図18に続く、本発明の第2の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図24】図23に続く、本発明の第2の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図25】図24に続く、本発明の第2の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図26】本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図27】図26に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図28】図27に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図29】図28に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図30】図29に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図31】図30に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図32】図31に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図33】図28に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図34】図33に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図35】図30に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図36】図35に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図37】図36に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

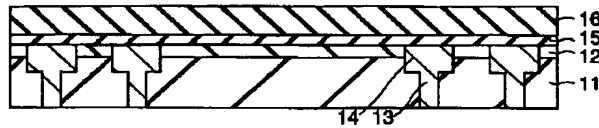
【図38】従来技術による半導体装置を示す断面図。

【符号の説明】

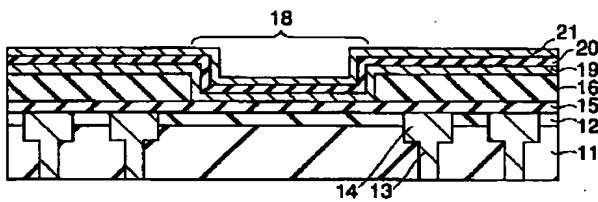
13

- 11…低誘電率膜、
 12…高誘電率膜、
 13、28a、28b、28c…V i a ホール、
 14…第1の配線、
 15、30、31…Cu 拡散防止膜、
 16…絶縁膜、
 17、22、23…レジスト膜、
 18…開口部、

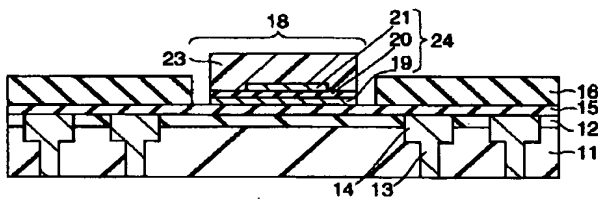
【図1】



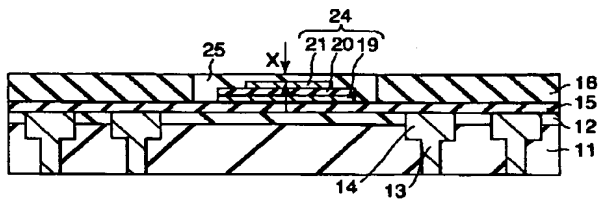
【図3】



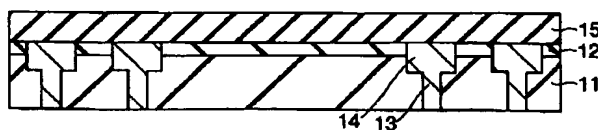
【図5】



【図7】



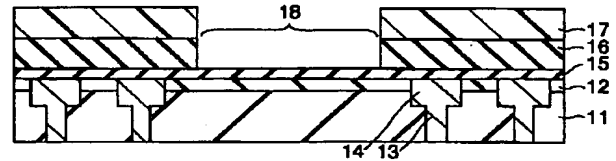
【図14】



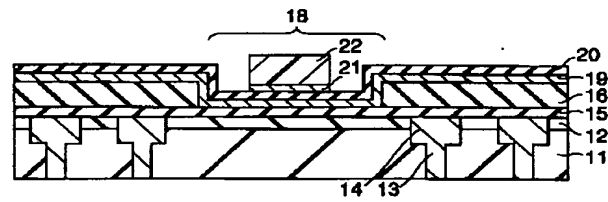
14

- * 19…下部電極膜、
 20…誘電体膜、
 21…上部電極膜、
 24…キャパシタ、
 25…第1の層間膜、
 26…第2の層間膜、
 27…第3の層間膜、
 * 29a、29b、29c…第2の配線。

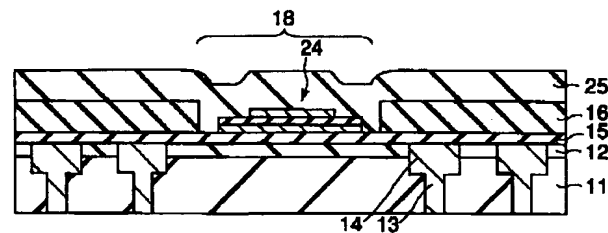
【図2】



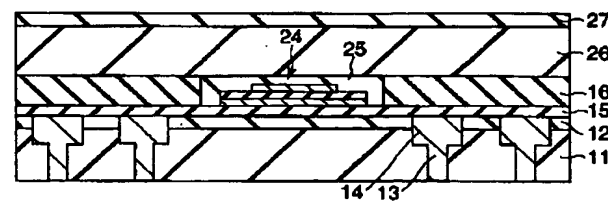
【図4】



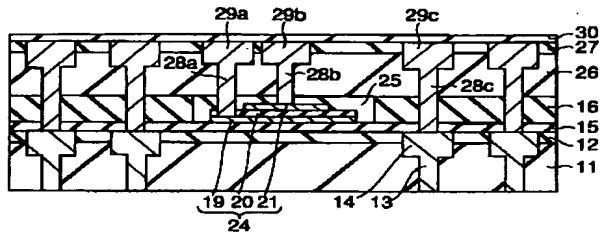
【図6】



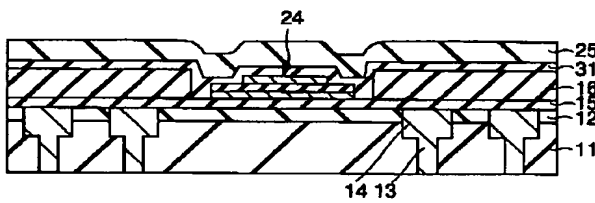
【図8】



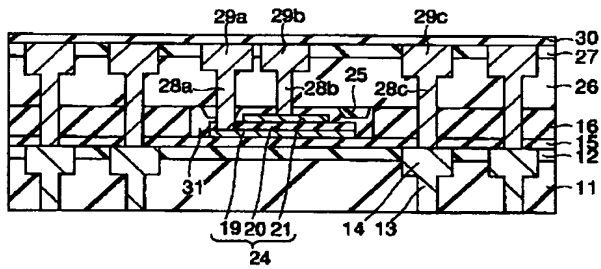
【図 9】



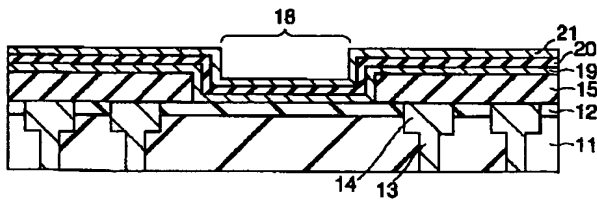
【図 1 1】



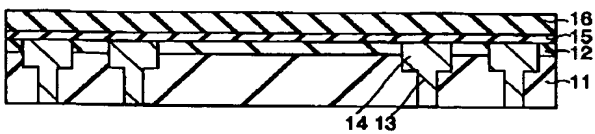
【図 13】



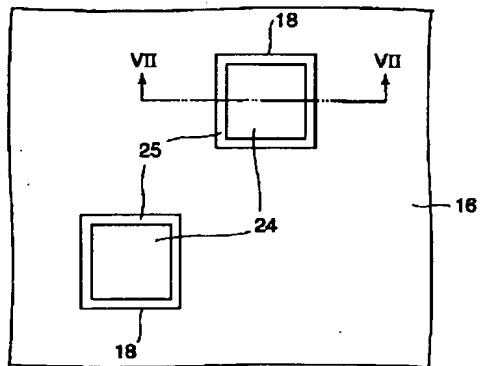
【図 16】



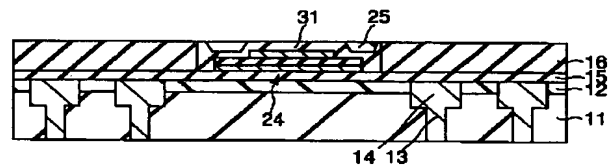
【図 26】



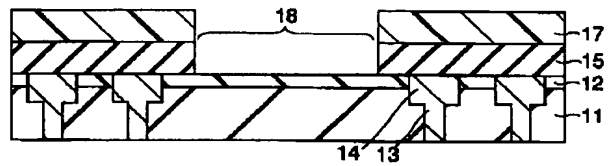
【図 10】



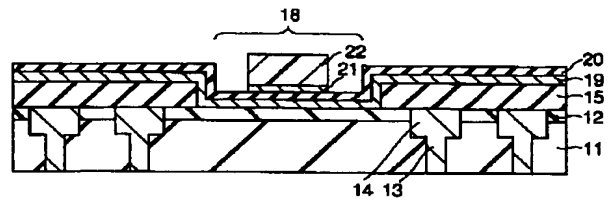
【図 12】



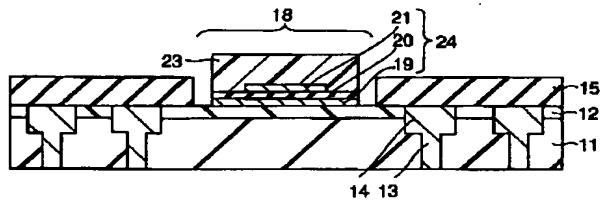
【図 15】



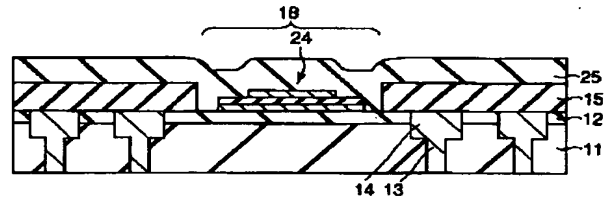
【図 17】



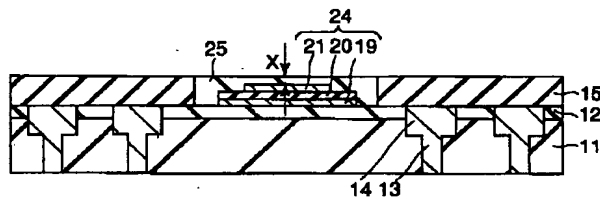
【図 18】



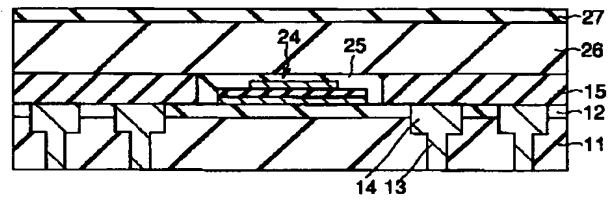
【図 19】



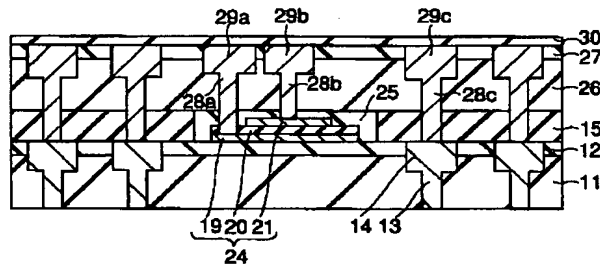
【図 20】



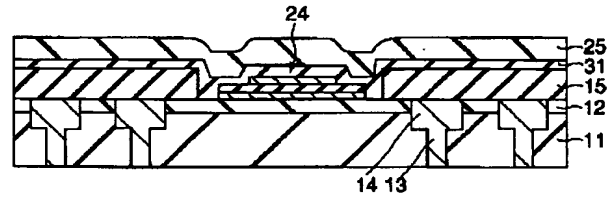
【図 21】



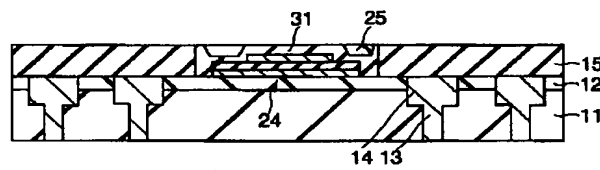
【図 22】



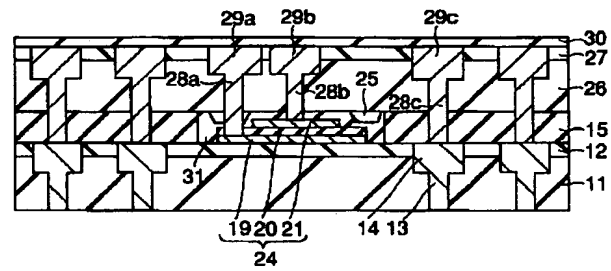
【図 23】



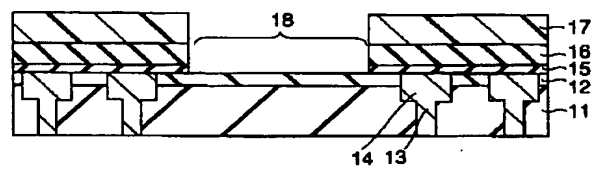
【図 24】



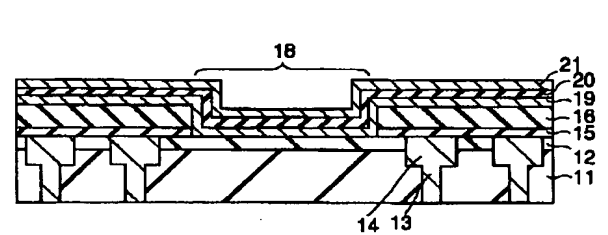
【図 25】



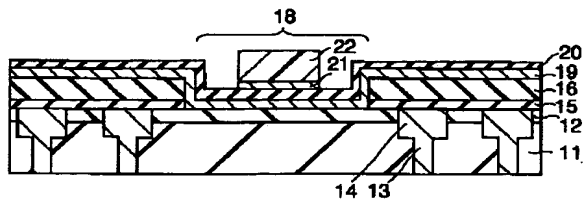
【図 27】



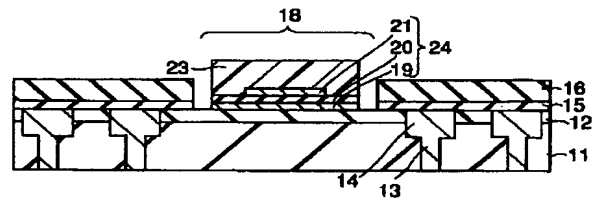
【図 28】



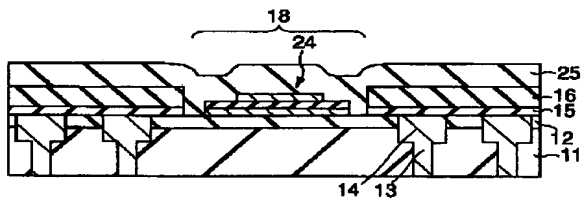
【図 29】



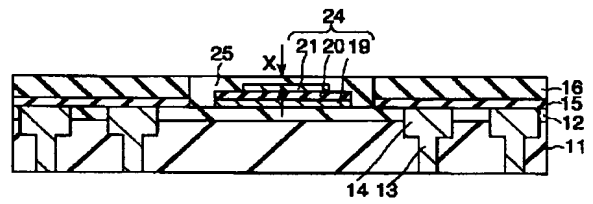
【図 30】



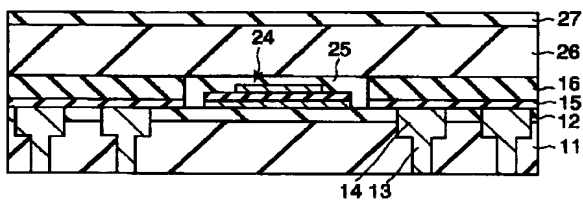
【図 31】



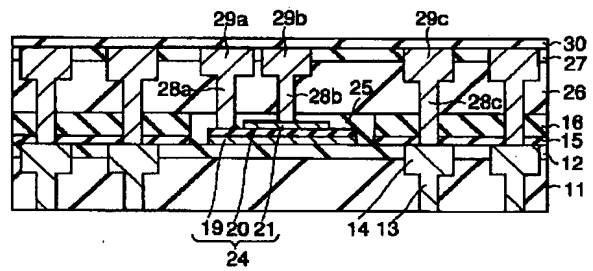
【図 32】



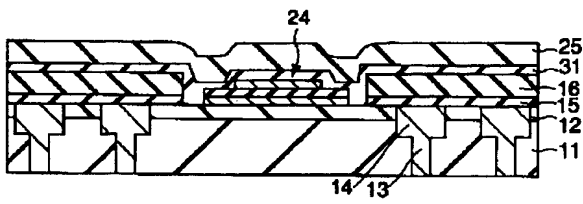
【図 33】



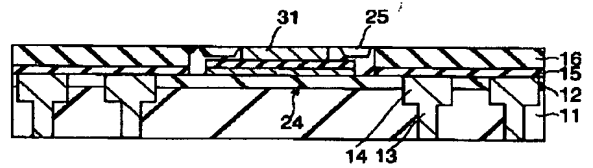
【図 34】



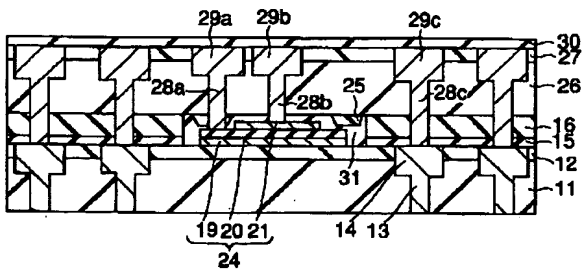
【図 35】



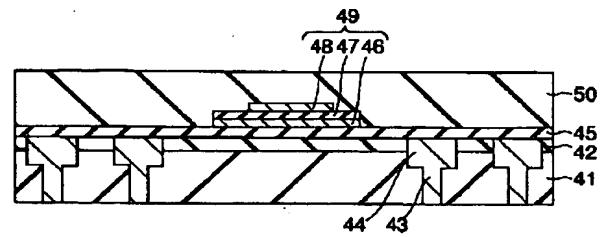
【図 36】



【図 37】



【図 38】



フロントページの続き

Fターム(参考) 5F033 HH11 JJ11 KK33 MM02 MM12
MM13 NN06 NN07 PP15 PP26
QQ08 QQ09 QQ10 QQ13 QQ48
RR04 RR06 RR09 RR11 SS08
SS15 VV10 XX01
5F038 AC05 AC15 AC17 CD13 EZ14
EZ15 EZ20